

Wykład 2

Mikrokontrolery z rdzeniami ARM

Źródło problemu



Kwatera główna

Tak wygląda wejście do siedziby firmy ARM Holdings plc w miejscowości Cherry Hinton, Cambridge

Wstęp

- Architektura ARM (Advanced RISC Machine, pierwotnie Acorn RISC Machine) jest 32-bitową architekturą (modelem programowym) procesorów typu RISC.
- Różne wersje procesorów ARM są szeroko stosowane w systemach wbudowanych (ang. embedded systems) i systemach o niskim poborze mocy, ze względu na ich energooszczędną architekturę.
- Procesor ARM jest jednym z najczęściej stosowanych procesorów na świecie. Jest używany między innymi w dyskach twardych, telefonach komórkowych, routerach, kalkulatorach a nawet w zabawkach dziecięcych. Obecnie zajmuje ponad 75% rynku 32-bitowych CPU dla systemów wbudowanych.

Wstęp

- Najbardziej udanym projektem ARM był procesor ARM7TDMI szeroko stosowany w telefonach komórkowych.
- Moc obliczeniowa procesorów ARM umożliwia instalacje na tym procesorze systemu operacyjnego, z zaimplementowanymi mechanizmami wielowątkowości, z możliwością wykorzystania zawartego w systemie stosu TCP/IP czy systemu plików(np. FAT32).
- Powstało wiele takich systemów: Windows CE, NUTOS(Ethernut), i wiele odmian linuxów opatrzonym hasłem embedded (Embedded Debian, Embedded Ubuntu).

Historia

- 1983 – Początek projektu rozwojowego angielskiej firmy Acorn Computers Ltd. Grupa inżynierów kierowana przez Rogera Wilsona i Steve'a Furbera rozpoczyna projekt jądra będącego ulepszoną wersją procesora MOS 6502 firmy MOS Technology.
- Pierwsza wersja testowa, nazywana ARM1, opracowana została w 1985 roku, a rok później ukończono wersję produkcyjną ARM2.
- ARM2 wyposażony był w 32-bitową szynę danych, 26-bitową przestrzeń adresową oraz w szesnaście 32-bitowych rejestrów. Był to w tym czasie najprostszы szeroko stosowany 32-bitowy mikroprocesor, zawierający tylko 30 tysięcy tranzystorów. Prostota wynikała głównie z braku mikrokodu i, jak w większości procesorów w tym czasie, braku cache. ARM2 miał z tego powodu bardzo niski pobór mocy i jednocześnie szybkość przetwarzania większą od procesora Intel 80286. Następna wersja ARM3 produkowana była z 4KB cache, co jeszcze bardziej poprawiło wydajność.

Historia

- W późnych latach osiemdziesiątych firma Apple Computer rozpoczęła współpracę z Acorn Computers w projektowaniu nowszej wersji jądra ARM. Projekt był na tyle istotny, że Acorn wydzielił grupę projektową tworząc w 1990 roku nową firmę o nazwie Advanced RISC Machines (ARM Ltd.). Wynikiem tej współpracy był procesor ARM6, udostępniony w roku 1990. Firma Apple użyła opartego na ARM6 procesora ARM610 w palmtopie (PDA) o nazwie Apple Newton.
- Jądro procesora ARM6 zawiera około 35 tysięcy tranzystorów i jest tylko niewiele większe od jądra ARM2 (30 tysięcy tranzystorów). Dzięki swej prostocie jądro ARM może być łączone z dodatkowymi blokami funkcjonalnymi, tworząc w jednej obudowie, mikroprocesor dostosowany do konkretnych wymagań. Jest to możliwe, gdyż podstawą działalności ARM Ltd. jest sprzedaż licencji na zaprojektowane jądra. Dzięki temu powstały także mikrokontrolery oparte na architekturze ARM.

Historia

- Firma DEC zakupiła licencję na architekturę ARM i na jej podstawie zaprojektowała procesor StrongARM. Przy częstotliwości 233MHz procesor ten pobierał tylko 1W mocy (najnowsze wersje StrongARM pobierają znacznie mniej). Projekt ten został następnie przejęty przez firmę Intel, na podstawie umowy procesowej między obiema firmami. Dla Intela była to szansa na zastąpienie przestarzałej architektury i960 nową architekturą StrongARM. Na podstawie StrongARM Intel zaprojektował bardzo wydajny mikroprocesor o nazwie XScale.

Porównanie CISC - RISC

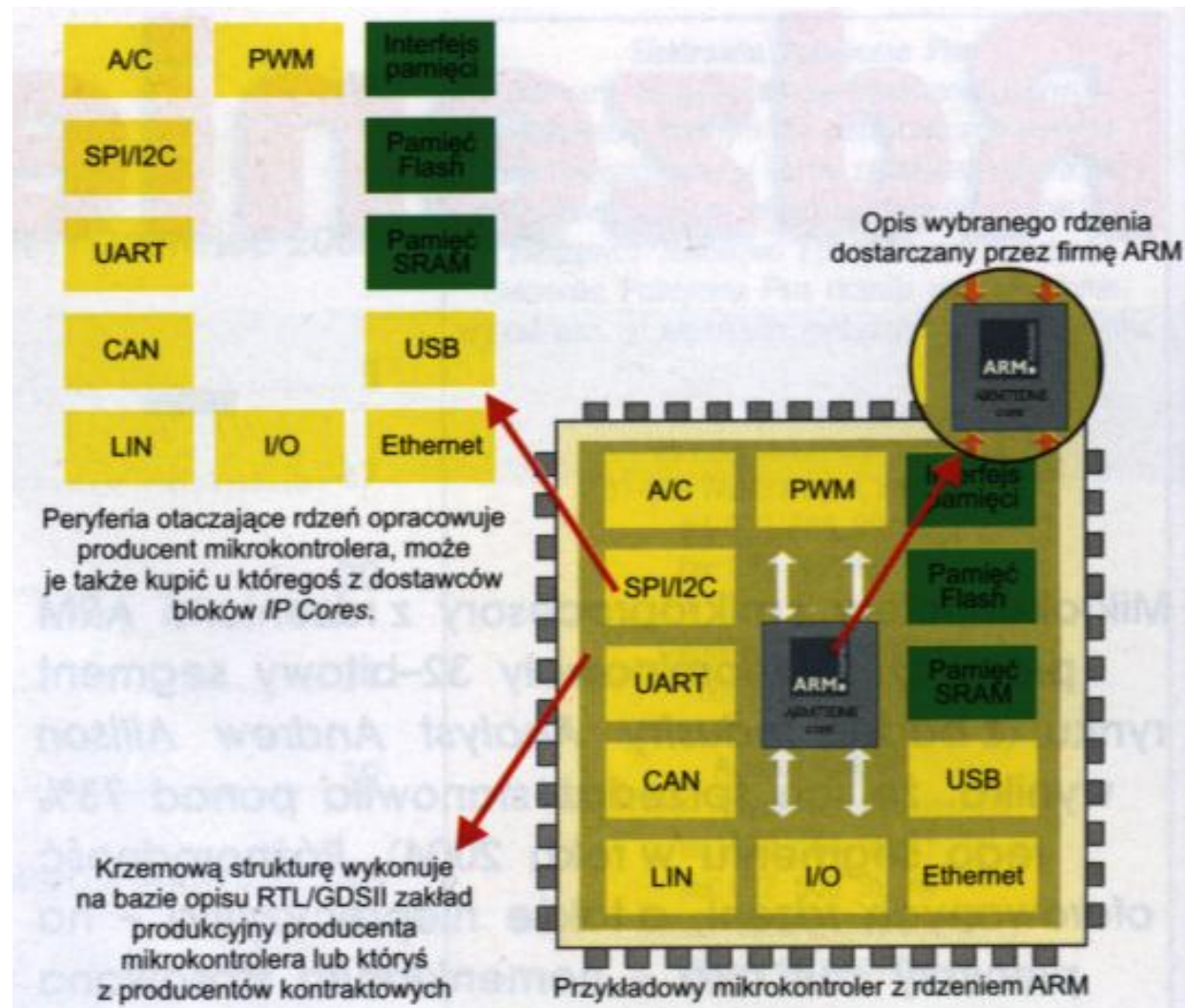
☀ CISC

- ☀ rozbudowane instrukcje
 - operacje arytmetyczne bezpośrednio na lokalizacjach w pamięci
- ☀ możliwość zawansowanego programowania w języku maszynowym
- ☀ różna długość instrukcji
- ☀ znaczne różnice czasu wykonania poszczególnych instrukcji

☀ RISC

- ☀ znacznie ograniczony zestaw instrukcji
- ☀ operacje ALU tylko na rejestrach
- ☀ prosty tryb adresowania - uproszczone odwołania do pamięci
- ☀ wszystkie instrukcje identycznej długości (32 bity)
- ☀ znacznie prostsza konstrukcja procesora

Idea mikrokontrolera z rdzeniem ARM



Architektury rdzeni

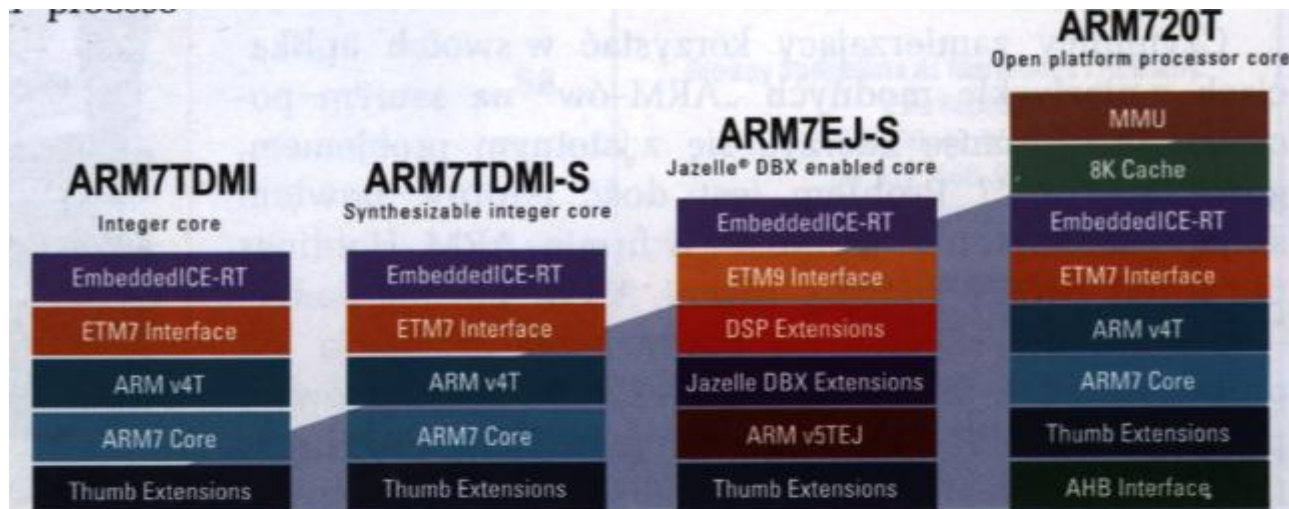
Tab. 1. Zestawienie list rozkazów i wyposażenia architektur rdzeni ARM dostępnych współcześnie

Wersja listy rozkazów	Thumb	Thumb-2	DSP	Jazelle	SIMD/NEON	TrustZone
ARM v4T	-	-	-	-	-/-	-
ARM v4TE	+	-	-	-	-/-	-
ARM v5TE	+	-	+	-	-/-	-
ARM v5TEJ	+	-	+	+	-/-	-
ARM v6	+	-	+	+	+	-
ARM v6Z	+	-	+	+	+/-	+
ARM v6T2	+	+	+	+	+/-	-
ARM v7A/7R	+	+	+	+	-/+	-
ARM v7M	-	+	-	-	-/-	-

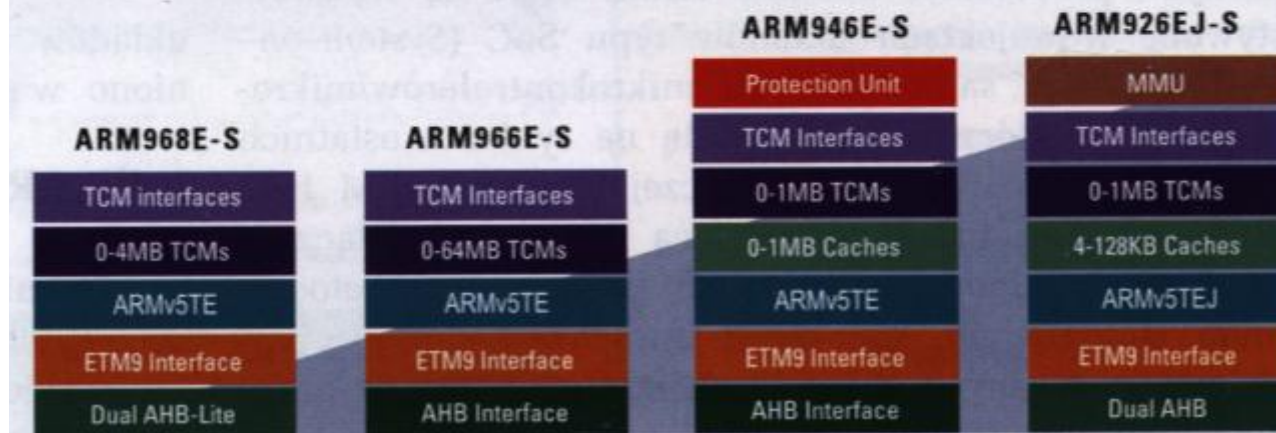
Rodziny rdzeni

Application Processors	Embedded Processors	SecureCores
ARM Cortex-A8	ARM Cortex-M1	SecurCore SC100
ARM Cortex-A9 MPCore	ARM Cortex-M3	SecurCore SC200
ARM Cortex-A9 Single Core Processor	ARM Cortex-R4(F)	
ARM1020E	ARM1026EJ-S	
ARM1022E	ARM1156T2(F)-S	
ARM1026EJ-S	ARM7EJ-S	
ARM11 MPCore	ARM7TDMI	
ARM1136J(F)-S	ARM7TDMI-S	
ARM1176JZ(F)-S	ARM946E-S	
ARM720T	ARM966E-S	
ARM920T	ARM968E-S	
ARM922T	ARM996HS	
ARM926EJ-S		

Rodziny rdzeni



Rys. 2. Rodzina rdzeni ARM7

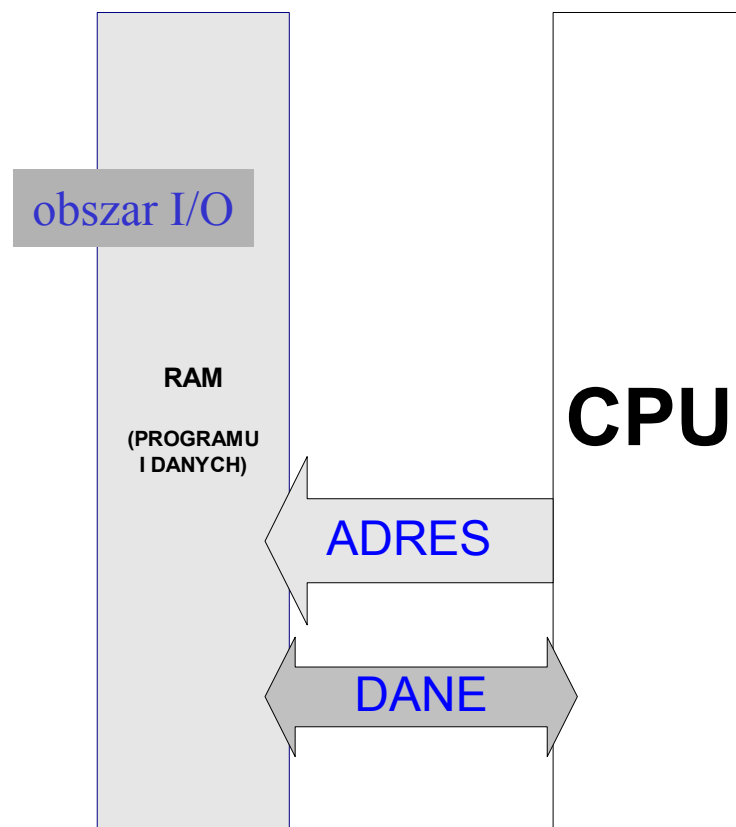


Rys. 3. Rodzina rdzeni ARM9E

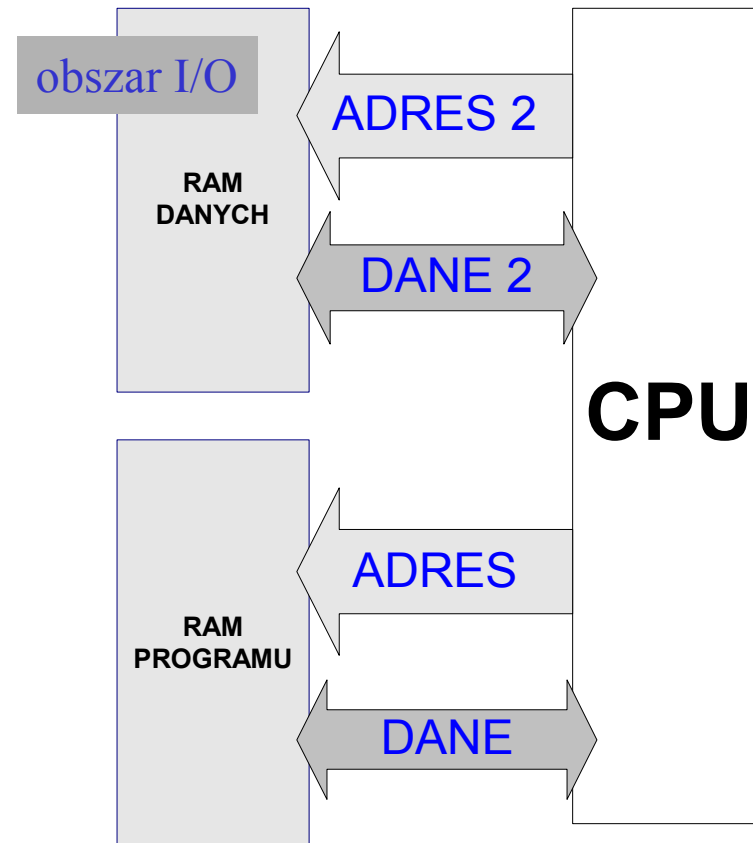
Porównanie ARM 7 - CortexM3

Features	ARM7TDMI-S	Cortex-M3
Architecture	ARMv4T (von Neumann)	ARMv7-M (Harvard)
ISA Support	Thumb / ARM	Thumb / Thumb-2
Pipeline	3-Stage	3-Stage + branch speculation
Interrupts	FIQ / IRQ	NMI + 1 to 240 Physical Interrupts
Interrupt Latency	24-42 Cycles	12 Cycles
Sleep Modes	None	Integrated
Memory Protection	None	8 region Memory Protection Unit
Dhrystone	0.95 DMIPS/MHz (ARM mode)	1.25 DMIPS/MHz
Power Consumption	0.28mW/MHz	0.19mW/MHz
Area	0.62mm ² (Core Only)	0.86mm ² (Core & Peripherals)*

Architektury ARM 7 - Cortex



von Neumanna



Harvard

Zestawy instrukcji

- ARM – zestaw instrukcji 32 bitowych
- Thumb – zestaw instrukcji 16 bitowych
- Thumb2 – zestaw instrukcji 16/32 bitowych
- DSP – zestaw instrukcji wspomagających przetwarzanie sygnałów
- SIMD – instrukcje wektorowe operujące na danych 32 bitowych
- NEON – instrukcje wektorowe operujące na danych 128 bitowych
- Jazelle – zestaw instrukcji wspomagających wykonywanie kodu Javy

Porównanie ARM 7 - Cortex

Figure 1. Relative performance for ARM7TDMI-S (ARM) and Cortex-M3 (Thumb-2)

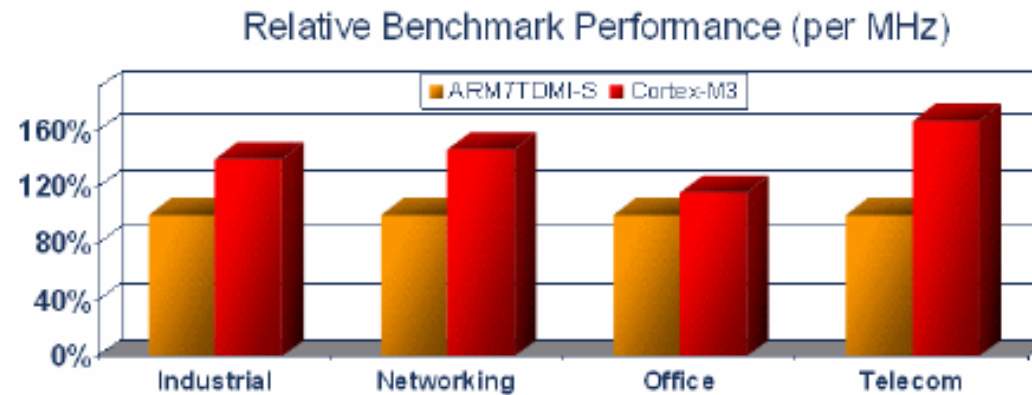
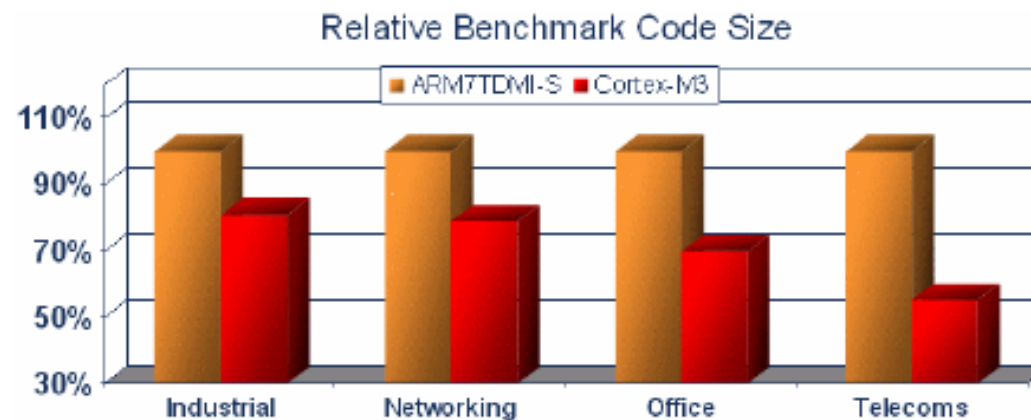
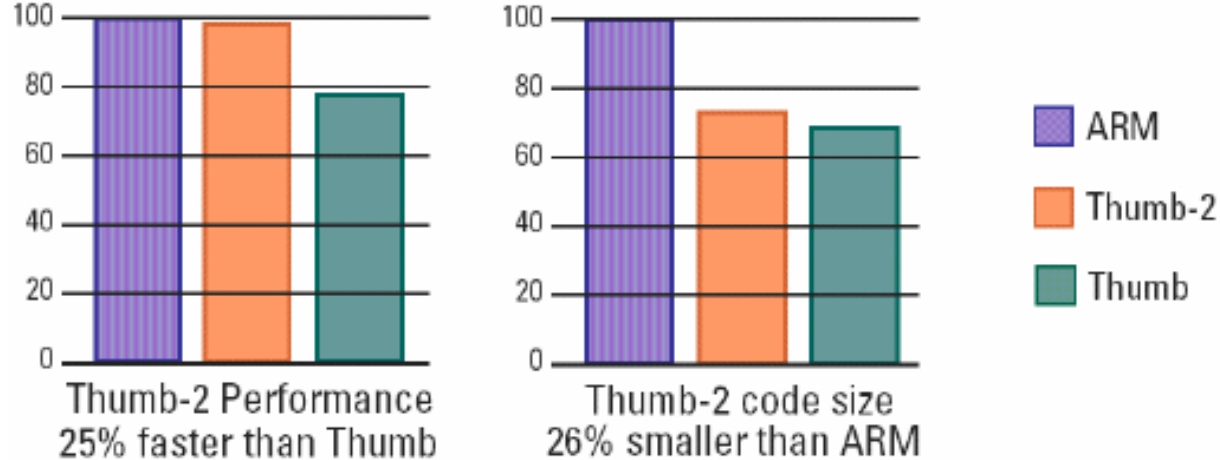


Figure 2. Relative code size for ARM7TDMI-S (ARM) and Cortex-M3 (Thumb-2)



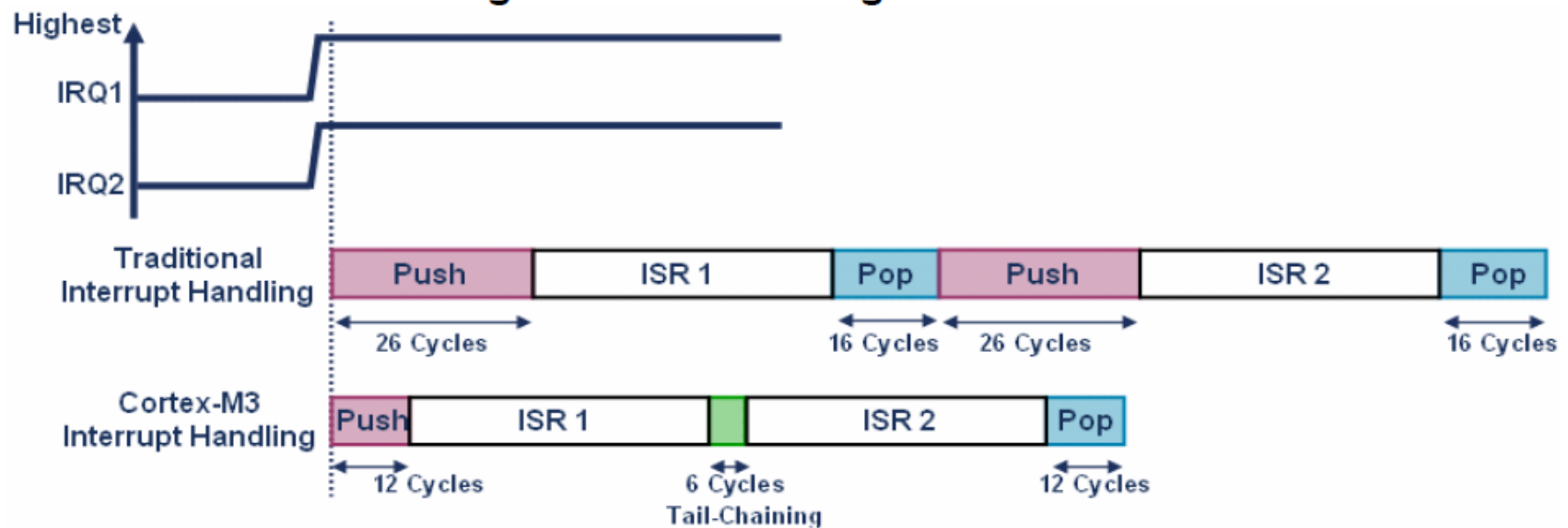
Porównanie ARM 7 - Cortex

Figure 6. Relative Dhrystone performance and code size for ARM, Thumb and Thumb-2



Porównanie ARM 7 - Cortex

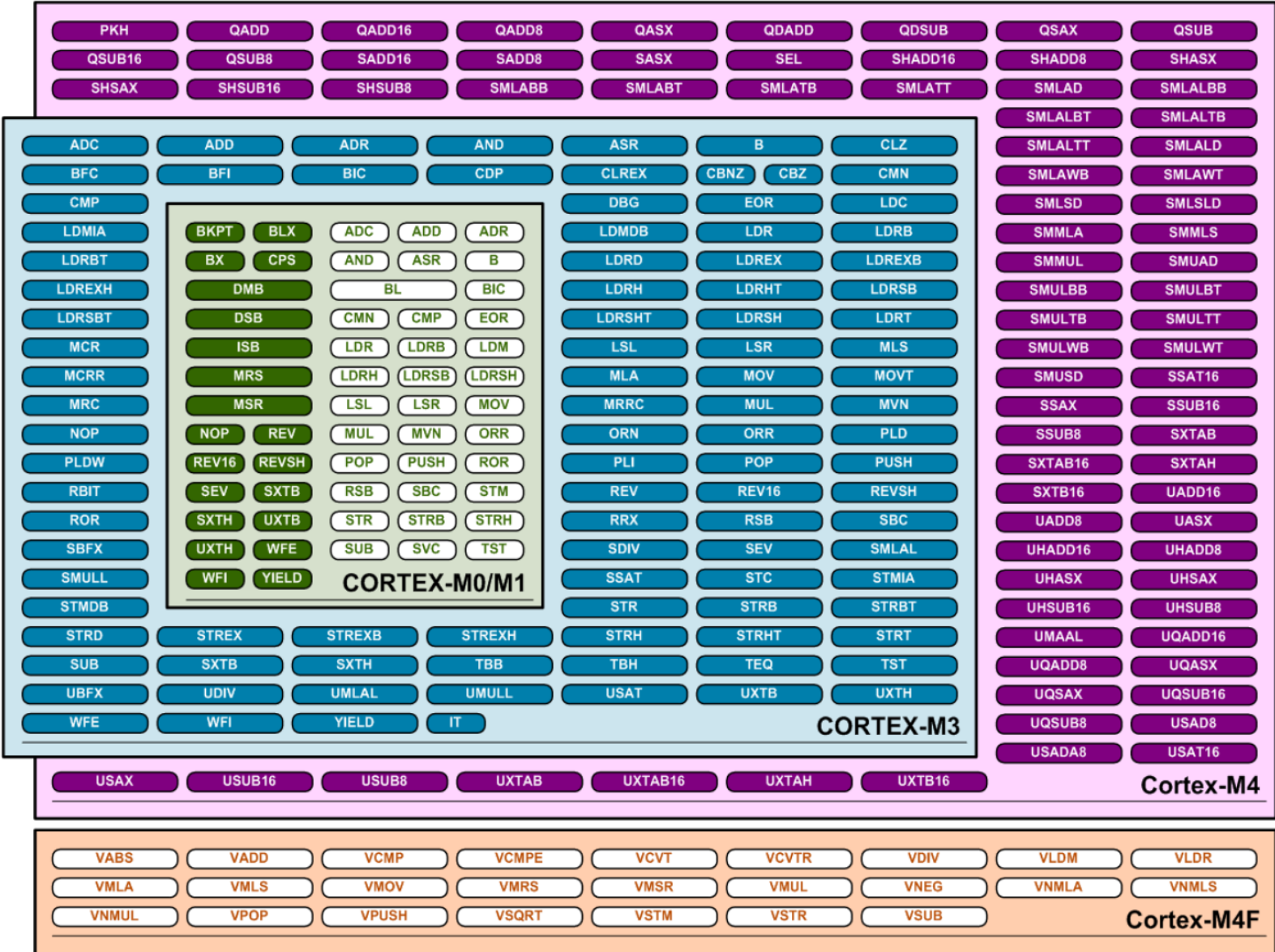
Figure 7. Tail chaining in the NVIC



Rodzina Cortex M

- Cortex M0 – najmniejszy rdzeń do systemów o małej mocy i niskim zużyciu energii
- Cortex M1 – rdzeń do układów programowalnych FPGA
- Cortex M3 – rdzeń do mikrokontrolerów ogólnego stosowania
- Cortex M4 – rdzeń z wbudowanym koprocesorem zmiennoprzecinkowym i instrukcjami DSP, do systemów przetwarzania sygnałów i sterowania

Lista instrukcji



Porównanie rdzeni

